

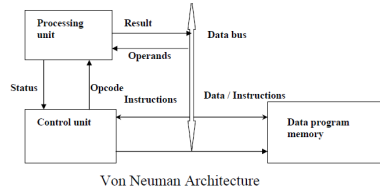
מערכות משובצות מחשב Computer Embedded Systems

PIC32 Architecture

ארכיטקטורה

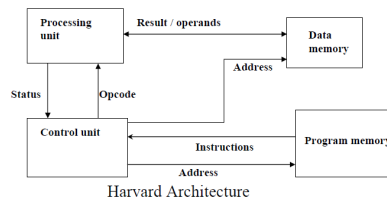
- מושג הארכיטקטורה מגדיר את המבנה והרכבים הבסיסיים של מערכת ממוחשבת.
- הארכיטקטורה מהווה תיאור פונקציונאלי של יישומי המערכת דגש רב על התקשרת עם הזיכרון ועם התקנים נוספים.
- ארכיטקטורת המערכת משפיעה רבות על ביצועי המערכת מהיבט של מהירות פעולה, יעילות, עלויות וכו'.

Von Neumann Architecture



- ארכיטקטורת Von Neumann עושה שימוש בזיכרון אחד משותף עבור Data ועבור Instructions.
- חסרון עיקרי של המערכת הוא גישה לזיכרון המהווה צוואר בקבוק בביצועי המערכת

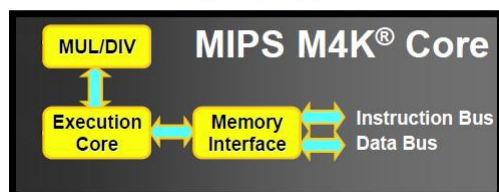
Harvard Architecture



- ארכיטקטורת Harvard עושה שימוש בגישה מקבילית לזיכרון הנתונים ולזיכרון הפקודות
- זיכרון המערכת וזיכרון התוכנית יכולים להיות מסוגים שונים או להוות אותה יחידת זיכרון פיזי

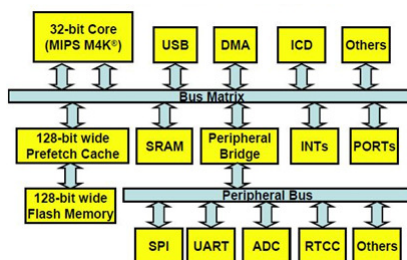
ארכיטקטורת PIC32

PIC32 Core



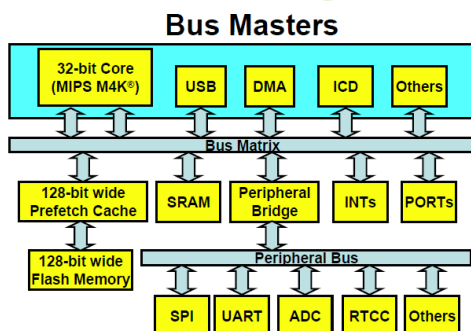
- ארכיטקטורת Harvard.
- Memory Interface באמצעות Bus Matrix
- נתונים והפקודות נשמרים באותו זרזון פיזי
- ליבת המעבד (Execution Core) היא צינור עיבוד (Pipeline) של 5 שלבים
- Pipeline נפרד עבור פעולות MUL\DIV
- פעולת MUL עבור 16 ביט היא מחזור אחד, ושני מחזורים בעבור 32 ביט.
- פעולת DIV בין 11-32 מחזורים (לפי גודל האופרנד)

ארכיטקטורת PIC32



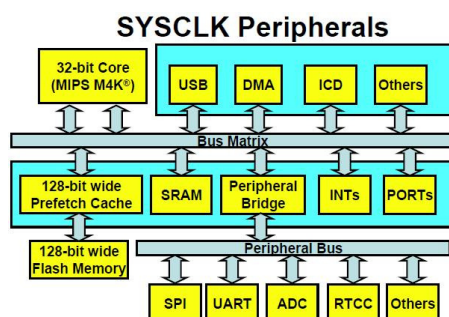
- ליבת המעבד (Core) מחוברת לשאר המודולים דרך ה-Bus Matrix
- ה Bus Matrix מחבר Peripheral Bus דרך Peripheral Bridge
- ה-Peripheral Bus מהווה קישור בין ההתקנים החיצוניים לשאר המודולים ואל ליבת המערכת.
- את Peripheral Bus ניתן לכוון לתדרי שעון שונה מזו של Bus Matrix
- Pre-fetch Cache (128 ביט) מאחסן נתונים והוראות מ-Flash Memory.

ארכיטקטורת PIC32



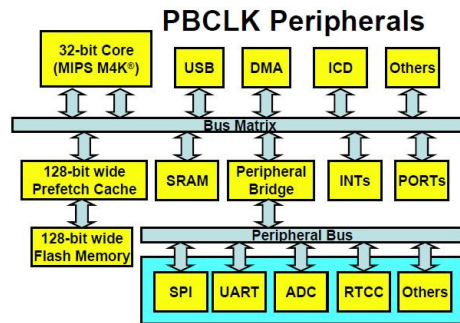
- Bus Masters - מודולים היכולים ליזום קשר עם מודולים אחרים
- מודולי Bus Masters רצים בשעון הזהה לשעון ה-CPU
- מודולי Bus Masters יכולים לפעול ללא התערבות של ה-CPU
- מודולי Bus Masters יכולים לקרוא/לכתוב אל Bus Masters אחרים, אך אינם יכולים לגשת אל רגיסטרי הליבה (ה-CPU בלבד יכול לגשת לרגיסטרים אלה)

ארכיטקטורת PIC32



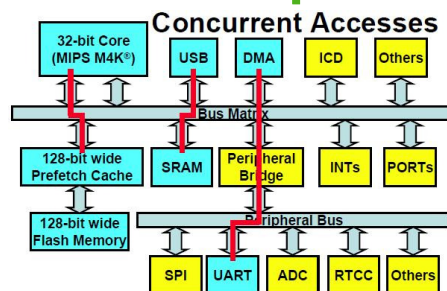
- SYSCLK Peripherals - מודולים המחוברים אל ה-Bus Matrix ורצים בשעון הזהה לשעון ה-CPU
- תהליך קריאה/כתיבה אל SYSCLK Peripherals נמשך מחזור אחד
- מודולי SYSCLK Peripherals הינם ממדולי Slave
- מחברי O\O הינם גם SYSCLK Peripherals

ארכיטקטורת PIC32



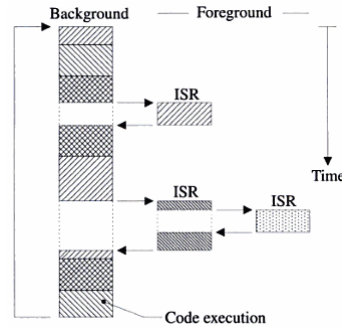
- PBCLK Peripherals – מודולים אשר רצים לפי שעון PBCLK
- שעון זה ניתן לכוונו באתחול ה-Peripheral Bridge של 1:1, 1:2, 1:4, 1:8 ממהירות ה-SYSCLOCK.
- מודולי PBCLK Peripherals איטיים יותר ממודולי Bus Masters

ארכיטקטורת PIC32



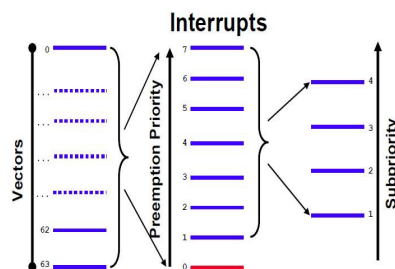
- תכונה של ה-Bus Matrix היא יצירת חיבור מנקודה לנקודה במקביל
- מודולי ה-Bus Masters יכולים ליזום קישור למודולים אחרים במקביל
- לדוגמה: ה-CPU מעביר מידע מן Pre-fetch Cache, ה-USB ניגש אל ה-SRAM, ה-DMA אל ה-UART
- במידה ושני מודולים Bus Masters מבקשים גישה לאותו המודול, ה-Bus Matrix ייתן גישה לבעל העדיפות הגבוהה יותר
- העדיפויות אלה ניתן לקבוע בהגדות ה-Bus Masters

Background/Foreground



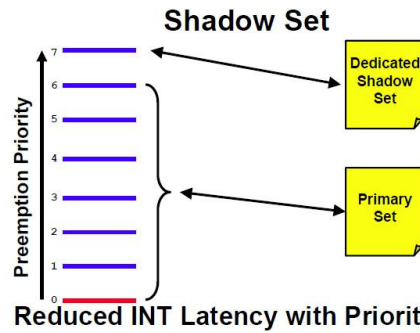
- מערכות משובצות בנות מורכבות קטנה עד בינונית מנוהלות לפי קונספט Background/Foreground (לעיתים מכונה Super Loop)
- לולאה אינסופית (while(1)) בה רצף של משימות (task) background:
- foreground: Interrupt Service Routines (ISR)- מתרחשות באופן אסינכרוני:
- Foreground - לעיתים מכונה interrupt level
- Background - לעיתים מכונה task level

PIC32 Interrupts



- גמישות בניהול פסיקות חומרה
- בפעולה של ווקטור יחיד, כל הפסיקות משתמשות באותו ווקטור
- עד 64 ווקטורי פסיקה באופן פעולה של מולטי-ווקטור
- ניתן לקבוע עדיפות הפסיקה ($1 \div 7$) כאשר עדיפות גבוהה ביותר
- 0 - אין פסיקה מאפשרת.
- ניתן לייחס את אותו ערך עדיפות הפסיקה ליותר מפסיקה אחת
- ישנן תת עדיפות $1 \div 3$ לבחירה בין פסיקות בנות אותה העדיפות

PIC32 Interrupts



- באופן פעולה מולטי-ווקטור פסיקה בעלת עדיפות הגבוהה ביותר (7) מלווה ב Shadow Set.
- תפקיד Shadow Set הינו ליצור מעבר לפסיקה זו במינימום זמן על ידי אחסון נתוני הווקטור
- בהתקבל בקשת פסיקה ברמת 7 ה-CPU עובר אוטומטית ל-Shadow Set

PIC32 External Interrupts Sources

- 5 × external pins with level trigger detection
- 22 × external pins connected to the Change Notification module
- 5 × Input Capture modules
- 5 × Output Compare modules
- 2 × serial port interfaces (UARTs)
- 4 × synchronous serial interfaces (SPI and I²C)
- 1 × Parallel Master Port

PIC32 Internal Interrupts Sources

- 1 × 32 internal (core) timer
- 5 × 16-bit timers
- 1 × analog-to-digital converter
- 1 × Analog Comparators module
- 1 × real-time clock and calendar
- 1 × Flash controller
- 1 × fail-safe clock monitor
- 2 × software interrupts
- 4 × DMA channels