

מערכות משובצות מחשב Computer Embedded Systems

PIC32 Pipeline

Computer Pipelining

- Pipelining is an implementation technique that exploits parallelism among instructions in a sequential instruction stream.
- A major advantage of pipelining over “parallel processing” is that it is not visible to the programmer.
- In a computer system, each pipeline stage completes a part of the instruction being executed.
- The time required between moving an instruction one step down the pipeline is a *machine cycle* (clock cycle).
- The length of a machine cycle is determined by the time required for the slowest stage to proceed.

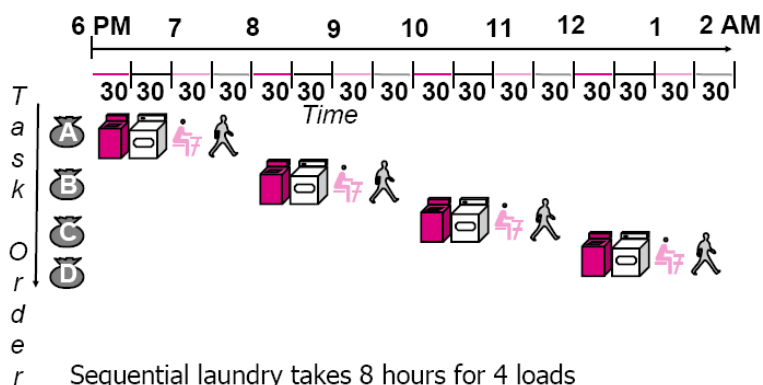
Pipelining in real life

Laundry Example

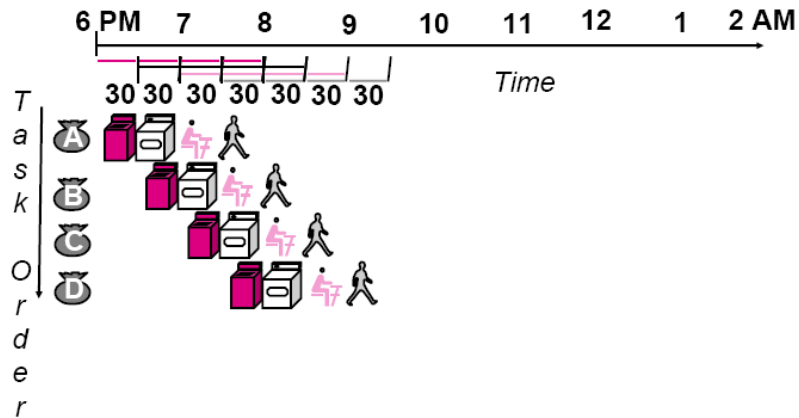
- Ann, Brian, Cathy, Dave each have one load of clothes to wash, dry, and fold
- Washer takes 30 minutes
- Dryer takes 30 minutes
- "Folder" takes 30 minutes
- "Stasher" takes 30 minutes to put clothes into drawers



Sequential processing

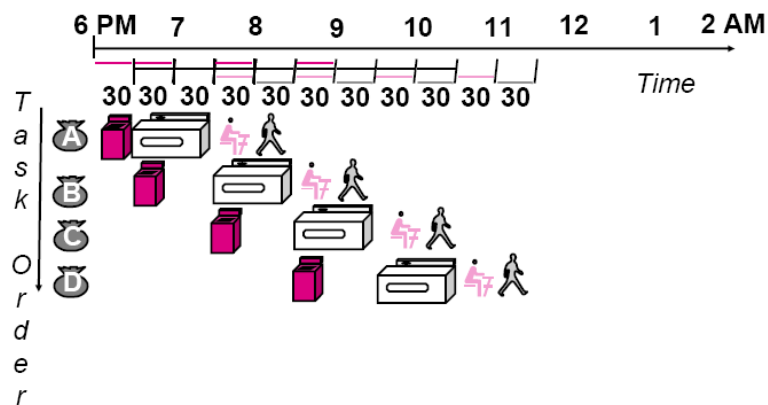


Pipelined processing



- Pipelined laundry takes 3.5 hours for 4 loads!

Unbalanced Pipeline

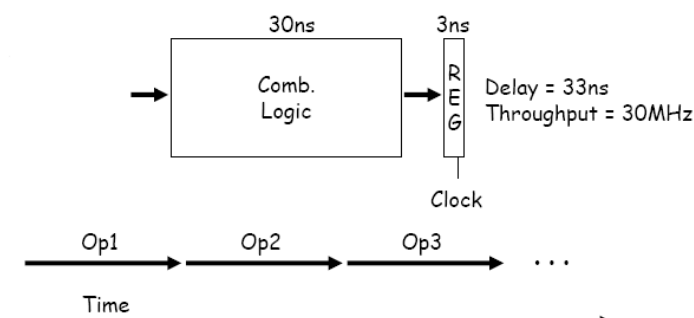


5.5 Hours. What is going on here?

Pipelining Principles

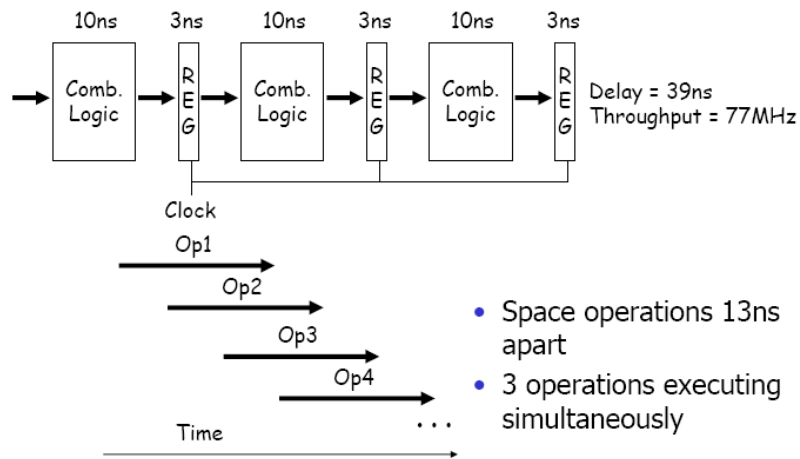
- Pipelining does not help the *latency* of a single task, it helps the *throughput* of the entire workload.
- The pipeline rate is limited by the *slowest* pipeline stage.
- *Multiple* tasks operating simultaneously.
- Potential speedup = *number of pipe stages*
- Unbalanced lengths of pipe stages reduces speedup.
- Time to “fill” pipeline and time to “drain” it reduces speedup.

Unpipelined Computer

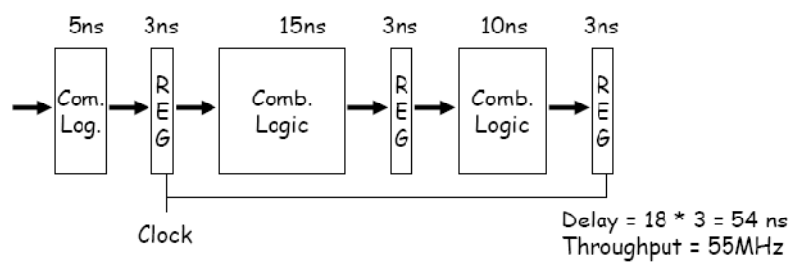


- One operation must complete before next can begin
- Operations spaced 33ns apart

3 Stage Pipelined Computer

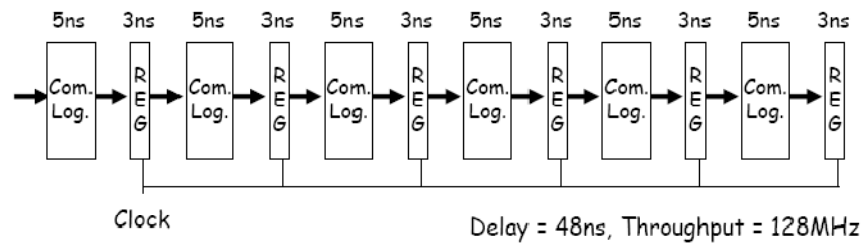


3 Stage Unbalanced Pipelined Computer



- Throughput limited by slowest stage
Delay determined by clock period * number of stages
- Must attempt to balance stages

Deep Pipelined Computer

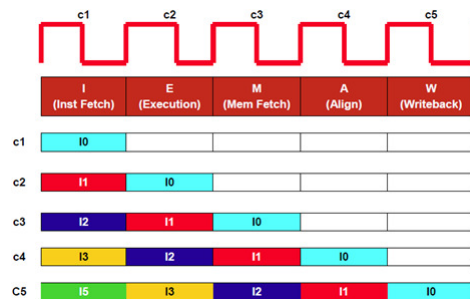


- Diminishing returns as we add more pipeline stages
- Register delays become limiting factor
 - Increased latency
 - Small throughput gains

PIC32 Pipeline

- Instruction Fetch – הבאת נתוני הפקודה הבאה, ואחסונה בתוך ה-Cache Module
- Execution – ביצוע הפקודה שהובאה בשלב הקודם
- Memory Fetch – אופרנדים מזיכרון המערכת Cache Module מובאים ומאוחסנים ב-SRAM, FLASH
- Alignment – מתבצעת התאמת הגדלים של האופרנדים בתוך יחידת ה-Memory Align
- Write Back – כתיבת התוצאה

PIC32 Pipeline



- במחזור השעון הראשון ה-Pipeline ריק
- במחזור הראשון מתבצעת Instruction Fetch והפקודה מאוחסנת
- במחזור שני מתבצעות במקביל פקודות Execution ו Instruction Fetch, כאשר נתונים אשר הובאו במחזור קודם מהווים את המידע בעבור Execution

PIC32 Pipeline

- במחזור 3 מתבצעות Mem Fetch, Execution, Inst Fetch
- במחזור 4 מתבצעות: Align, Mem Fetch, Execution, Inst Fetch
- במחזור 5 מתבצעות: Writeback, Align, Mem Fetch, Execution, Inst Fetch
- במחזורים $1 \div 4$ אין כתיבה ליעדי המערכת
- זמן מינימאלי לביצוע של פקודה אחת במערכת הינו 5 מחזורי שעון
- מזמן מחזור 5 והלאה כל עוד ה-Pipeline ללא התנגשויות, בכל מחזור שעון ישנה כתיבה ליעד כלשהו במערכת.